

대한민국 특허청 (KR)
공개 실용 신안 공보 (U)

출원번호: 92-10286
H 01 L 21/56

제 716 호

공개일자: 1994. 1. 3
출원일자: 1992. 6. 10

공개번호: 94-1979

출원번호: 92-10286

심사청구: 없음

고안자: 박준수 서울특별시 강남구 역삼동 현대빌딩 107-202

출원인: 삼성전자인계산기연구소 대표이사 박정원

충청북도 청주시 상당동 51번지

대리인: 변리사 박정원

(전 2면)

반도체 패키지

요약

본 고안은 반도체 패키지의 구조에 관한 것으로 반도체 패키지에 있어서, 반도체 칩이 부착 고정되는 리드 프레임의 패들과 상기 패들에 와이어 본딩되는 다수개의 외부연결 리드가 패키지의 저면으로 노출되도록 리드 프레임의 상부측과 에폭시 몰딩 컴파운드로 본딩하여 구성한 것이다.

즉 리드 프레임을 기판의 상부측은 에폭시 몰딩 컴파운드로 본딩하고 하부측은 패들로서 인캡슐레이션 역할을 하도록 함으로써 패키지의 전체적인 두께를 보다 박세하여 경박단소화에 기여하고, 실장율을 보다 높일 수 있다는 효과와 아울러 보잉유정이 제거되는 등 제조공정이 단순해지며, 칩의 전기적 특성이 보다 좋아지는 등의 여러 효과가 있다.

실용신안 등록청구의 범위

1. 반도체 패키지 구조에 있어서, 반도체 칩(11)이 부착 고정되는 리드 프레임의 제1패드(12)와 상기 제1패드(12)에 와이어 본딩되는 다수개의 외부연결 리드(13)가 패키지의 저면으로 노출되도록 리드 프레임의 제1패드(12)와 제1패드(12)를 연결하는 제1패드(12)를 포함하여 구성함을 특징으로 하는 반도체 패키지.

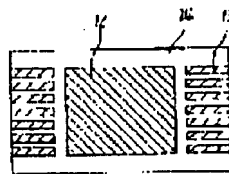
2. 제1항에 있어서, 상기 리드 프레임은 그와 제1패드(12)와 외부연결 리드(13)가 수평상태로 형성되게, 제1패드(12)를 들어올린 업-셋 구조로 형성됨을 특징으로 하는 반도체 패키지.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

제3도는 본 고안에 의한 반도체 패키지를 구조를 보이는 도면도로서, 제3도는 제2도의 정면도, 제4도는 본 고안에 의한 반도체 패키지의 전장상태를 보인 단면도.

제 3 도



제 4 도

